

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: October 10, 2002

Application Number: P2002 — 297793

[ST.10/C]: [JP 2002 — 297793]

Applicant(s) : KABUSHIKI KAISHA TOSHIBA

March 28, 2003

Commissioner,
Japan Patent Office

Shinichiro OTA

Number of Certification : 2003 — 3021533

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月10日

出 願 番 号
Application Number:

特願2002-297793

[ST.10/C]:

[JP2002-297793]

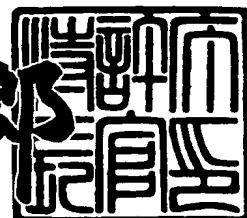
出 願 人
Applicant(s):

株式会社東芝

2003年 3月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3021533

【書類名】 特許願

【整理番号】 ASB022008

【提出日】 平成14年10月10日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/60
H01L 21/82
H04L 7/00

【発明の名称】 自動設計システム、及び自動設計方法

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 北原 健

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 自動設計システム、及び自動設計方法

【特許請求の範囲】

【請求項 1】 L S I のパターンレイアウトに用いる論理回路の回路情報を
入力する入力装置と、

前記論理回路上においてグリッチが発生する回路素子を検索するグリッチ検索
部と、

前記回路素子の入力端へ信号を出力するフリップフロップ (F / F) のクロッ
ク入力端に入力されるクロック信号のスキューを算定するスキュー算定部と、

前記スキューを第 1 目標スキューとして設定することにより、前記グリッチを
削減できるか否かを解析する回路情報解析部と、

前記グリッチを削減できると解析された場合に、前記第 1 目標スキューを設定
する第 1 目標スキュー設定部と、

前記グリッチを削減できないと解析された場合に、前記回路素子の出力端から
の信号伝播経路に、第 1 ラッチを挿入する第 1 ラッチ挿入部

とを備えることを特徴とする自動設計システム。

【請求項 2】 前記第 1 目標スキューを設定し、又は前記第 1 ラッチを挿入
した前記論理回路に、半導体チップ領域上にクロック配線を行うクロック配線処
理部と、

前記クロック配線後に、前記論理回路が正常に動作するためのタイミング制約
を満たすか否かを検証するタイミング検証部と、

前記タイミング制約を満たさないと検証された場合に、前記タイミングを満た
すように第 2 目標スキューを設定する第 2 目標スキュー設定部

とを更に備えることを特徴とする請求項 1 に記載の自動設計システム。

【請求項 3】 前記第 1 目標スキューを設定し、又は前記第 1 ラッチを挿入
した前記論理回路に、半導体チップ領域上にクロック配線を行うクロック配線処
理部と、

前記クロック配線後に、前記論理回路が正常に動作するためのタイミング制約
を満たすか否かを検証するタイミング検証部と、

前記タイミング制約を満たさないと検証された場合に、前記タイミングを満たすように第2ラッチを挿入する第2ラッチ挿入部

とを更に備えることを特徴とする請求項1に記載の自動設計システム。

【請求項4】 前記第1又は第2目標スキューの設定前後で、前記論理回路中のグリッチ消費電力を見積もるグリッチ消費電力見積部と、

前記第1又は第2目標スキューの設定前後で、前記クロック配線、及び前記回路素子の総消費電力を見積もる総消費電力見積部と、

前記グリッチ消費電力の増減と、前記総消費電力の増減を比較する回路消費電力比較部

とを更に備えることを特徴とする請求項1乃至3の何れか1項に記載の自動設計システム。

【請求項5】 L S I のパターンレイアウトに用いるゲーテッドクロック設計された論理回路の回路情報を入力する入力装置と、

前記論理回路が正常に動作するためのタイミング制約を満たすか否かの検証を行う第1タイミング検証部と、

前記ゲーテッドクロック設計された半導体チップ領域上の論理回路に対し、第1クロック配線をする第1クロック配線処理部と、

前記第1クロック配線処理された後に、前記論理回路が前記タイミング制約を満たすか否かの検証を行う第2タイミング検証部と、

前記第2タイミング検証部で前記タイミング制約を満たさないと検証された場合、前記タイミングを満たさないクリティカルパスのうち最大のスラック値を算定するスラック値算定部と、

前記スラック値が正となるように目標スキューを設定する目標スキュー設定部とを備えることを特徴とする自動設計システム。

【請求項6】 前記目標スキューの設定後に、前記目標スキューを満たすように第2クロック配線処理を行う第2クロック配線処理部を更に備えることを特徴とする請求項5に記載の自動設計システム。

【請求項7】 L S I のパターンレイアウトに用いる論理回路の回路情報を入力するステップと、

前記論理回路上においてグリッチが発生する回路素子を検索するステップと、
前記回路素子の入力端へ信号を出力する F / F のクロック入力端に入力される
クロック信号のスキューを算定するステップと、

前記スキューを第 1 目標スキューとして設定することにより、前記グリッチを
削減できるか否かを解析するステップと、

前記グリッチを削減できると解析された場合に、前記第 1 目標スキューを設定
するステップと、

前記グリッチを削減できないと解析された場合に、前記回路素子の出力端から
の信号伝播経路に、第 1 ラッチを挿入するステップ

とを備えることを特徴とするコンピュータを用いた自動設計方法。

【請求項 8】 前記第 1 目標スキューを設定し、又は前記第 1 ラッチを挿入
した前記論理回路に、半導体チップ領域上にクロック配線を行うステップと、

前記クロック配線後に、前記論理回路が正常に動作するためのタイミング制約
を満たすか否かを検証するステップと、

前記タイミング制約を満たさないと検証された場合に、前記タイミングを満た
すように第 2 目標スキューを設定するステップ

とを更に備えることを特徴とする請求項 7 に記載の自動設計方法。

【請求項 9】 前記第 1 目標スキューを設定し、又は前記第 1 ラッチを挿入
した前記論理回路に、半導体チップ領域上にクロック配線を行うステップと、

前記クロック配線後に、前記論理回路が正常に動作するためのタイミング制約
を満たすか否かを検証するステップと、

前記タイミング制約を満たさないと検証された場合に、前記タイミングを満た
すように第 2 ラッチを挿入するステップ

とを更に備えることを特徴とする請求項 7 に記載の自動設計方法。

【請求項 10】 前記目標スキューの設定前後で、前記論理回路のグリッチ
消費電力を見積もるステップと、

前記目標スキューの設定前後で、配線や回路素子の総消費電力を見積もるステ
ップと、

前記グリッチ消費電力の増減と、前記総消費電力の増減を比較するステップ

とを更に備えることを特徴とする請求項 7 乃至 9 の何れか 1 項に記載の自動設計方法。

【請求項 1 1】 L S I のパターンレイアウトに用いるゲーテッドクロック設計された論理回路の回路情報を入力するステップと、

前記論理回路が正常に動作するためのタイミング制約を満たすか否かの検証を行うステップと、

前記ゲーテッドクロック設計された半導体チップ領域上の論理回路に対し、第 1 クロック配線をするステップと、

前記第 1 クロック配線処理された後に、前記論理回路が前記タイミング制約を満たすか否かの検証を行うステップと、

前記第 1 クロック配線処理された後の論理回路が前記タイミング制約を満たさないと検証された場合、前記タイミングを満たさないクリティカルパスのうち最大のスラック値を算定するステップと、

前記スラック値が正となるように目標スキューを設定するステップ

とを備えることを特徴とするコンピュータを用いた自動設計方法。

【請求項 1 2】 前記目標スキューの設定後に、前記目標スキューを満たすように第 2 クロック配線処理を行うステップを更に備えることを特徴とする請求項 1 1 に記載の自動設計方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、コンピュータを用いた L S I の自動設計技術に関する。

【0 0 0 2】

【従来の技術】

近年、L S I 等の半導体チップは高集積化、大型化する傾向にあり、更に L S I 化された回路に供給されるクロックの周波数は飛躍的に向上している。これに伴い、半導体チップの消費電力も大きくなりつつある。そのため、バッテリーを電源とする携帯機器等に L S I 化された回路を搭載する場合、1 回の充電で機器が動作できる時間が短くなり、回路の消費電力の低減が要請されている。

【0003】

消費電力の低減を実現するための方法の1つに、回路で発生するグリッチの削減がある。例えば、図3(a)に示すような回路があった場合、図3(b)のタイムチャートに示すように、入力信号が時刻 t_0 にクロックAと同期して、F/F40で $1 \rightarrow 0$ 、F/F41で $1 \rightarrow 0$ と出力信号が変化したとする。ここで、F/F40、41は、立ち上がりエッジトリガータイプのものである。この場合、F/F40の出力信号は配線401、インバータ403、配線402を伝播してORゲート45に到達する。一方、F/F41の出力信号は配線404を伝播してORゲート45に到達する。信号の伝播の際には、配線や回路素子等による信号の伝播遅延が生じる。図3(a)に示す回路において、例えば配線401で0.1ns、バッファ403で0.2ns、配線402で0.1nsの伝播遅延が生じたとすると、F/F40の出力信号がORゲートに到達するのは、 $0.1\text{ ns} + 0.2\text{ ns} + 0.1\text{ ns} = 0.4\text{ ns}$ 後の図3(b)に示した時刻 t_2 である。一方、図3(a)に示す回路において、例えば配線404で0.1nsの伝播遅延が生じたとすると、F/F41の出力信号がORゲート45に到達するのは、0.1ns後の図3(b)に示した時刻 t_1 である。よって、 $t_2 - t_1 = 0.3\text{ ns}$ の伝播時間のずれを生じて、F/F40及び41の出力信号がORゲート45に到達する。更にORゲート45で0.1nsの伝播遅延が生じたとすると、図3(b)に示すようにORゲート45の出力信号で、時刻 t_4 に $1 \rightarrow 0$ 、時刻 t_5 に $0 \rightarrow 1$ と2度のスイッチングがあり、グリッチが生じる。しかし、グリッチは、回路が実行するタスクに対して何ら影響を与えない。即ち、グリッチにより消費される電力はまったく無駄なもので、可能な限り低減することが望ましい。

【0004】

又、グリッチによる消費電力を低減する手法の1つとして、組み合わせ回路部分にラッチを挿入する手法がある（例えば、非特許文献1参照）。例えば図3(a)のように、ORゲート45の出力先にラッチ42を挿入する。ラッチ42は、クロックBが1のときに入力信号を出力信号に伝播して、クロックBが0のときに入力信号を伝播しない。更に、ラッチ42のクロック入力信号であるクロッ

ク B は、図 3 (b) のように、クロック A よりも位相が $t_3 - t_6$ だけずれるように設定する。この場合、ラッチ 4 2 において入力信号を取り込むのは、図 3 (b) に示した時刻 t_3 であるため、それ以前にラッチ 4 2 へ入力されるグリッチは、ラッチ 4 2 の出力信号に現れない。これにより、ラッチ 4 2 の出力信号で、グリッチが削除できる。この結果、消費電力を低減させることができる。

【 0 0 0 5 】

又、消費電力の低減を実現するための他の方法として、ゲーテッドクロック設計がある(例えば、非特許文献 2 参照)。これは、各レジスタにクロックが常に供給され、クロック・ツリー全体に常時クロックが供給されることにより消費電力の増加が非常に大きくなるという問題を解決するための手法である。ゲーテッドクロック設計は、例えば図 9 (a) に示すようにクロック CLK とレジスタ群 1 0 4 の間に、F / F 1 0 5 ~ 1 0 7、イネーブル回路 1 0 3、AND ゲート 1 0 1 を挿入し、AND ゲート 1 0 1 の一方の入力端にはレジスタ転送条件であるイネーブル回路 1 0 3 の出力信号が入力される。そして、レジスタ転送条件が成立しイネーブル回路 1 0 3 の出力信号が 1 のときにのみ、AND ゲート 1 0 1 が導通してクロックがレジスタ群 1 0 4 に供給され、レジスタ群 1 0 4 で論理回路 1 0 9 の出力信号が取り込まれる。これにより、レジスタ転送条件不成立時に現在の値を保持するためのフィードバック・ループはレジスタに不要であり、又クロックがレジスタに供給される回数が少なくなることによりクロック・ツリーの振幅回数を減らすことができ、消費電力を低減させることができる。

【 0 0 0 6 】

L S I 設計では、先ず論理設計が行われ、各ゲートの配置処理が行われた後、クロック配線が行われる。従って、ゲーテッドクロック設計でも、図 8 に示すように、先ずステップ S 9 0 1 で論理設計が行われ、ステップ S 9 0 2 でこの論理設計に対応する各ゲートの配置処理が行われた後、ステップ S 9 0 3 で各記憶素子のクロック端子を接続するクロック配線の設計処理が行われる。ここで、「記憶素子」とは、F / F、ラッチ、メモリ等の値を保持できる回路素子の総てを指す。クロック配線処理の 1 つとして、クロックのスキューの最小化を図るためクロック・ツリー合成 (C T S) 処理が用いられる場合がある(例えば、特許文献

1 参照)。C T S 処理では、図 1 0 に示すように、ラッチ 1 1 5 とラッチ 1 1 6、ラッチ 1 1 7 とラッチ 1 1 8、ラッチ 1 1 9 とラッチ 1 2 0、ラッチ 1 2 1 とラッチ 1 2 2 をそれぞれ同じ配線距離 d で二つのクロック端子を結ぶ。次に配線 1 2 5 と配線 1 2 6、配線 1 2 7 と配線 1 2 8 の中点をそれぞれ同じ配線距離 D の配線 1 3 1 及び 1 3 2 で結ぶ。そして更に、配線 1 3 1 及び 1 3 2 の中点をそれぞれ同じ配線距離の配線 1 4 1 及び 1 4 2 で結ぶ。このような配線処理を繰り返すことにより、クロックがクロック端子へ到達する際の伝播遅延を均等にする。この結果、クロックのスキューを最小化させてクロック配線が行うことができる。

【0 0 0 7】

【特許文献 1】

特開平 1 1 - 1 1 9 8 5 3

【0 0 0 8】

【非特許文献 1】

V.Tiwari et al., "Guarded Evaluation: Pushing Power Management to Logic Synthesis/Design", Proceedings International Symposium on Low Power Design, 1995

【0 0 0 9】

【非特許文献 2】

T.Kitahara et al., "A Clock-Gating Method for Low-Power LSI design", Proceedings Asia and South Pacific design Automation Conference, 1998

【0 0 1 0】

【発明が解決しようとする課題】

組み合わせ回路部分にラッチを挿入する手法では、グリッチを削減しようとする部分の総てにラッチを挿入するため、ラッチ挿入により L S I 等の半導体チップの面積が拡大するという問題があった。この結果、消費電力の低減を実現するための障害となっていた。

【0 0 1 1】

又、ゲーテッドクロック設計でCTS処理を用いてクロック配線が行われると、図9(b)に示すゲーテッドクロック設計された論理回路のように、F/F105～107からイネーブル回路103の出力に至るまでの経路はそれぞれ異なることから、クロック配線後にF/F105～107の出力信号からレジスタ群104a、104bまでのタイミング制約を満たさなくなる場合がある。又、クロックスキューを調整するために、ANDゲート101の出力先にバッファ112a、112bがクロック配線処理時に追加されることがある。この場合は、ANDゲート101の出力端からレジスタ群104a、104bまでの伝播遅延が増える。このため、F/F105～107からレジスタ群104a、104bの論理回路中に、タイミング制約が満たされないクリティカルパスが生じることがある。この場合、論理設計まで戻ってレジスタにゲーテッドクロック設計を用いないよう論理設計の変更を行い、再度レイアウト処理を実行する必要があった。このようなレイアウトの再実行は、設計期間を増大させるという問題点があった。更に、ゲーテッドクロック設計を用いないため、レジスタ群104a、104bにクロックが常に供給され、レジスタ群104a、104bの消費電力を低減できないという性能上の影響も生じていた。この結果、消費電力の低減を実現するための障害となっていた。

【0012】

本発明は、上述のごとき従来の課題を解決するためになされたもので、その目的は、LSI等の半導体チップの面積の拡大を防ぎ、又設計期間を短縮しつつ、効率よく消費電力を低減できる自動設計システム、及び自動設計方法を提供することである。

【0013】

【課題を解決するための手段】

本発明の第1の特徴は、LSIのパターンレイアウトに用いる論理回路の回路情報を入力する入力装置と、論理回路上においてグリッチが発生する回路素子を検索するグリッチ検索部と、回路素子の入力端へ信号を出力するF/Fのクロック入力端に入力されるクロック信号のスキューを算定するスキュー算定部と、スキュー算定部で算定されたスキューを第1目標スキューとして設定することによ

り、グリッチを削減できるか否かを解析する回路情報解析部と、回路情報解析部でグリッチを削減できると解析された場合に、スキュー算定部で算定された第1目標スキューを設定する第1目標スキュー設定部と、回路情報解析部でグリッチを削減できないと解析された場合に、回路素子の出力端からの信号伝播経路に、第1ラッチを挿入する第1ラッチ挿入部とを備える自動設計システムであることを要旨とする。

【0014】

クロック配線では、誤作動を防止するため、総ての記憶素子のクロック入力端の間におけるスキューを無くすことが望ましい。スキューが無いことを、「ゼロスキュー」という。一方、論理回路中の記憶素子のクロック入力端に目標とするスキューを設定することを、「目標スキューの設定」と定義する。

【0015】

本発明の第1の特徴によれば、グリッチを削減しようとする部分の総てにラッチを挿入する必要がなくなる。

【0016】

本発明の第2の特徴は、LSIのパターンレイアウトに用いるゲーテッドクロック設計された論理回路の回路情報を入力する入力装置と、論理回路が正常に動作するためのタイミング制約を満たすか否かの検証を行う第1タイミング検証部と、ゲーテッドクロック設計された半導体チップ領域上の論理回路に対し、クロック配線をする第1クロック配線処理部と、クロック配線処理された後に、タイミング制約を満たすか否かの検証を行う第2タイミング検証部と、第2タイミング検証部でタイミング制約を満たさないと検証された場合、タイミングを満たさないクリティカルパスのうち最大のスラック値を算定するスラック値算定部と、スラック値が正となるように目標スキューを設定する目標スキュー設定部とを備える自動設計システムであることを要旨とする。

【0017】

本発明の第2の特徴によれば、クロック配線処理の段階でゲーテッドクロック設計により供給されるクロックを目標スキューに従って調整して、タイミング制約を満たすことができる。

【 0 0 1 8 】

本発明の第3の特徴は、LSIのパターンレイアウトに用いる論理回路の回路情報を入力するステップと、論理回路上においてグリッチが発生する回路素子を検索するステップと、前記回路素子の入力端へ信号を出力するF/Fのクロック入力端に入力される信号のスキューを算定するステップと、スキューを第1目標スキューとして設定することにより、グリッチを削減できるか否かを解析するステップと、グリッチを削減できると解析された場合に、クロック配線に第1目標スキューを設定するステップと、グリッチを削減できないと解析された場合に、回路素子の出力端からの信号伝播経路に、第1ラッチを挿入するステップとを備える自動設計方法であることを要旨とする。

【 0 0 1 9 】

本発明の第3の特徴によれば、グリッチを削減しようとする部分の総てにラッチを挿入する必要がなくなる。

【 0 0 2 0 】

本発明の第4の特徴は、LSIのパターンレイアウトに用いるゲートドクロック設計された論理回路の回路情報を入力するステップと、論理回路が正常に動作するためのタイミング制約を満たすか否かの検証を行うステップと、ゲートドクロック設計された半導体チップ上の論理回路に対し、第1クロック配線をするステップと、第1クロック配線処理された後に、タイミング制約を満たすか否かの検証を行うステップと、第1クロック配線処理された後の論理回路がタイミング制約を満たさないと検証された場合、タイミングを満たさないクリティカルパスのうち最大のスラック値を算定するステップと、スラック値が正となるように目標スキューを設定するステップとを備える自動設計方法であることを要旨とする。

【 0 0 2 1 】

本発明の第4の特徴によれば、クロック配線処理の段階でゲートドクロック設計により供給されるクロックを目標スキューに従って調整して、タイミング制約を満たすことができる。

【 0 0 2 2 】

【発明の実施の形態】

(第 1 の実施の形態)

図 1 に示すように、本発明の第 1 の実施の形態に係る自動設計システムは、入力装置 1、テストベクタ情報入力装置 7、タイミング制約入力装置 6、中央演算処理装置 (CPU) 100、出力装置 17、インターフェイス 15、ホストコンピュータ 16、共通バス 20、読み出し専用メモリ (ROM) 18、随時書き込み読み出しメモリ (RAM) 19、及びデータ記憶装置 10 を備える。データ記憶装置 10 は、回路情報記憶部 2、テストベクタ情報記憶部 23、タイミング制約情報記憶部 14、グリッチ消費電力記憶部 9、総消費電力記憶部 12、目標スキュー情報記憶部 24、ラッチ情報記憶部 25 等のファイルを備える。

【0023】

入力装置 1 により、設計しようとする論理回路の回路情報が入力される。テストベクタの設定が行われている場合は、テストベクタ情報入力装置 7 により、テストベクタ情報が入力される。タイミング制約入力装置 6 により、論理回路が満たすべきタイミング制約情報が入力される。例えば、タイミング制約入力装置 6 により、クロック周期、クロック周波数、セットアップ・ホールド時間等が入力される。出力装置 17 は、CPU 100 で処理等されるデータを出力する。ホストコンピュータ 16 は、インターフェイス 15 を介して、出力装置 17 が出力するデータと同様のデータをハードディスク等に保存し、ホストコンピュータ 16 に接続されたモニター等に出力する。入力装置 1、テストベクタ情報入力装置 7、タイミング制約入力装置 6、CPU 100、出力装置 17、インターフェイス 15、及びデータ記憶装置 10 は、共通バス 20 を介してデータのやり取りを行う。

【0024】

CPU 100 は更に、クロック配線処理部 30、グリッチ検索部 21、スキュー算定部 22、回路情報解析部 31、第 1 目標スキュー設定部 32a、第 2 目標スキュー設定部 32b、第 1 ラッチ挿入部 33a、第 2 ラッチ挿入部 33b、タイミング検証部 5、グリッチ消費電力見積部 8、総消費電力見積部 11、回路消費電力比較部 13 を備える。グリッチ検索部 21 は、論理回路において、グリッ

チが発生する回路素子を検索する。テストベクタ情報が入力されている場合は、シミュレーションによりグリッチが発生する回路素子を検索できる。テストベクタ情報が入力されていない場合でも、回路素子の種類、及び配線や回路素子等で生ずる伝播遅延の算定によりグリッチが発生する回路素子を検索できる。スキュー算定部 2 2 は、グリッチ検索部 2 1 で検索されたグリッチが発生する回路素子の入力端へ信号を出力する F/F の入力端に入力される信号のスキューを算定する。配線や回路素子等で生ずる伝播遅延の算定によりスキューを算定できる。

【 0 0 2 5 】

回路情報解析部 3 1 は、スキュー算定部 2 2 で算定されたスキューを、第 1 目標スキューとして設定することにより、グリッチを削減できるか否かを解析する。即ち論理回路によっては、回路情報解析部 3 1 で第 1 目標スキューを設定してもグリッチを削減できないと解析される場合もある。例えば、図 5 (a) に示すような論理回路において、F/F 6 0 5 の出力信号は、インバータ 6 0 3 及び 6 0 4 を経由して EXOR ゲート 6 0 1 の端子 α に至る経路 (第 1 の経路) と、配線 6 0 6 を経由して EXOR ゲート 6 0 1 の端子 β に至る経路 (第 2 の経路) を伝播する。この場合、図 5 (b) のタイムチャートに示すように、第 1 の経路と第 2 の経路を伝播して EXOR ゲート 6 0 1 の端子 α 及び端子 β へ入力される信号で伝播遅延差が生じ、グリッチが発生する。しかし、F/F 6 0 5 のクロック入力端に、いくら第 1 目標スキューを設定してスキューを調整しても、第 1 の経路と第 2 の経路での信号の伝播遅延差を 0 にすることはできず、EXOR ゲート 6 0 1 の出力先で生じるグリッチを削減できない。しかしこの場合でも、図 5 (a) に示すように、EXOR ゲート 6 0 1 の出力先に第 1 ラッチ 6 0 2 を挿入すれば、グリッチを削減できる。

【 0 0 2 6 】

第 1 目標スキュー設定部 3 2 a は、回路情報解析部 3 1 で第 1 目標スキューの設定により、グリッチを削減できると解析された場合に、第 1 目標スキューを設定する。第 2 目標スキュー設定部 3 2 b は、タイミング制約入力装置 6 に入力されたタイミング制約を満たさないとタイミング検証部 5 が検証した場合に、このタイミング制約を満たすようにクロック配線上に第 2 目標スキューを設定する。

第1ラッチ挿入部33aは、回路情報解析部31で第1目標スキューの設定により、グリッチを削減できないと解析された場合に、グリッチ検索部21で検索されたグリッチが発生する回路素子の出力端からの信号伝播経路に第1ラッチを挿入する。第2ラッチ挿入部33bは、タイミング制約入力装置6に入力されたタイミング制約を満たさないとタイミング検証部5が検証した場合に、このタイミング制約を満たすように回路素子の出力端からの信号伝播経路に第2ラッチを挿入する。タイミング検証部5は、第1目標スキュー設定部32aにより第1目標スキューが設定された後の論理回路、又は第1ラッチ挿入部33aにより第1ラッチが挿入された論理回路に対してクロック配線を行った後に、タイミング制約入力装置6により入力されたタイミング制約を満たすか否かを検証する。一般に、検証方法は静的タイミング解析(STA)により行う。グリッチ消費電力見積部8は、グリッチ検索部21により検索された回路素子で発生するグリッチの消費電力を算定する。グリッチの消費電力は、グリッチの発生頻度と1回のグリッチによる消費電力の積をとれば求めることができる。グリッチの発生頻度とグリッチが発生する回路素子は、グリッチ検索部21により決定される。1回のグリッチによる消費電力Wは、次のように求められる。消費電力Wは、ゲート内部の消費電力 W_I と、外部配線の消費電力 W_O からなる。

【0027】

$$W = W_I + W_O \quad \dots \dots (1)$$

W_I は、測定により求められる。 W_O は、配線容量をC、電源電圧をV、グリッチの発生頻度をfとすれば、以下の式により求められる。

【0028】

$$W_O = C V^2 f / 2 \quad \dots \dots (2)$$

総消費電力見積部11は、クロック配線処理部30によりクロック配線された論理回路、及び入力装置1から入力された論理回路の総消費電力を算定する。回路消費電力比較部13は、グリッチ消費電力見積部8で算定されたグリッチ消費電力の増減と、総消費電力見積部11で算定された論理回路の総消費電力の増減を、第1又は第2目標スキューの設定及び第1又は第2ラッチの挿入の前後で比較する。即ち、第1又は第2目標スキューの設定又は第1又は第2ラッチの挿入

により減少したグリッチ消費電力と、バッファの挿入、クロック配線の調整、ラッチの挿入により増加した論理回路の総消費電力を比較する。

【0029】

グリッチ検索部21は、テストベクタ入力判定部81、シミュレーションベースグリッチ解析部82、確率ベースグリッチ解析部83を備える。テストベクタ入力判定部81は、テストベクタ情報入力装置7によってテストベクタ情報が入力されたか否かを判断する。テストベクタ入力判定部81によりテストベクタ情報が入力されたと判断された場合に、シミュレーションベースグリッチ解析部82は、入力されたテストベクタ情報を基に、配線や回路素子等で生ずる伝播遅延等の情報を取り入れて論理回路のシミュレーションを行う。具体的には、図3(a)及び(b)で説明したように、入力パターンと配線や回路素子等で生ずる信号の伝播遅延を基に、図3(b)に示すようなタイムチャートからグリッチの発生頻度が求められ、グリッチが発生する回路素子を決定できる。テストベクタ入力判定部81によりテストベクタ情報が入力されなかったと判断された場合に、確率ベースグリッチ解析部83は、確率計算を用いてグリッチの発生頻度を確率として求め、グリッチが発生する回路素子を決定する。

【0030】

例えば、図4(a)に示すような論理回路があるとする。ANDゲート502の入力(I_3 , I_4)がとりうる組み合わせは、(0, 0) (0, 1) (1, 0) (1, 1)の4通りである。このうち、ANDゲート502の出力Nが0となる組み合わせは、(0, 0) (0, 1) (1, 0)の3通りである。よって、出力Nが0となる確率 $P(N=0)$ は、以下のようになる。

【0031】

$$P(N=0) = P(I_3=0)P(I_4=0) + P(I_3=0)P(I_4=1) + P(I_3=1)P(I_4=0) \quad \dots\dots (3)$$

同様に、出力Nが1となる確率 $P(N=1)$ は、以下のようになる。

【0032】

$$P(N=1) = P(I_3=1)P(I_4=1) \quad \dots\dots (4)$$

この結果、出力Nが $0 \rightarrow 1$ と変化する確率 $P(N: 0 \rightarrow 1)$ は、変化前が $N =$

0である確率と変化後が $N=1$ である確率との積で表される。即ち：

$$P(N: 0 \rightarrow 1) = P(N=0) \times P(N=1) \quad \dots\dots (5)$$

である。この方法で、 $P(N=0)$ 、 $P(N=1)$ 、 $P(N: 0 \rightarrow 1)$ 、 $P(N: 1 \rightarrow 0)$ が求まる。このように、回路素子502～506の総ての出力信号が変化する確率が求まる。

【0033】

ここで、図4(a)に示す論理回路で、ANDゲート502でグリッチが発生する条件は、(条件1)一方の入力信号 I_3 が $0 \rightarrow 1$ と変化し、他方の入力信号 I_4 が $1 \rightarrow 0$ と変化し、且つ I_3 が $0 \rightarrow 1$ と変化した時刻 T_3 より、 I_4 が $1 \rightarrow 0$ と変化する時刻 T_4 の方が遅い($T_3 < T_4$)ことと、(条件2)一方の入力信号 I_3 が $1 \rightarrow 0$ と変化し、他方の入力信号 I_4 が $0 \rightarrow 1$ と変化し、且つ I_3 が $0 \rightarrow 1$ と変化した時刻 T_3 より、 I_4 が $1 \rightarrow 0$ と変化する時刻 T_4 の方が早い($T_3 > T_4$)ことである。図4(b)を参照しつつ、(条件1)の場合においてグリッチが発生する確率 $P(I_3: 0 \rightarrow 1, I_4: 1 \rightarrow 0, T_3 < T_4, N: \text{glitch})$ を求める。ANDゲート502の入力端 α_2 に至る経路は $\alpha_3 \rightarrow$ インバータ505 $\rightarrow \alpha_2$ の1通りで、ANDゲート502の入力端 β_2 に至る経路は：

$\alpha_4 \rightarrow$ ORゲート503 $\rightarrow \beta_2$ ；

$\alpha_6 \rightarrow$ インバータ506 $\rightarrow \alpha_5 \rightarrow$ ANDゲート504 $\rightarrow \beta_4 \rightarrow$ ORゲート503 $\rightarrow \beta_2$ ；

$\beta_5 \rightarrow$ ANDゲート504 $\rightarrow \beta_4 \rightarrow$ ORゲート503 $\rightarrow \beta_2$

の3通りである。ここで、 α_3 から α_2 までの伝播遅延を $\Delta(\alpha_3 \rightarrow \alpha_2)$ と表す。同様に、 β_2 に至るまでの各経路の伝播遅延を $\Delta(\alpha_4 \rightarrow \beta_2)$ 、 $\Delta(\alpha_6 \rightarrow \beta_2)$ 、 $\Delta(\beta_5 \rightarrow \beta_2)$ と表す。各経路の伝播遅延は、配線や回路素子502～506等による信号の伝播遅延を基に求めることができる。そしてその結果：

$$\Delta(\alpha_3 \rightarrow \alpha_2) > \Delta(\alpha_4 \rightarrow \beta_2) \quad \dots\dots (6)$$

$$\Delta(\alpha_3 \rightarrow \alpha_2) < \Delta(\alpha_6 \rightarrow \beta_2) \quad \dots\dots (7)$$

$$\Delta(\alpha_3 \rightarrow \alpha_2) < \Delta(\beta_5 \rightarrow \beta_2) \quad \dots\dots (8)$$

であったとする。この場合、 $\Delta(\alpha_4 \rightarrow \beta_2)$ は $T_3 < T_4$ の条件を満たさないため、 D_4 の信号変化によってはグリッチは発生しない。一方、 $\alpha_6 \rightarrow$ インバータ 506 $\rightarrow \alpha_5 \rightarrow$ ANDゲート 504 $\rightarrow \beta_4 \rightarrow$ ORゲート 503 $\rightarrow \beta_2$ は $T_3 < T_4$ の条件を満たすため、グリッチが発生する可能性がある。信号 D_5 が $0 \rightarrow 1$ と変化することにより、信号 I_4 が $1 \rightarrow 0$ と変化するためには、 $D_4 = 0$ 、 $D_6 = 1$ が条件となる。なぜなら、 $D_4 = 1$ 、又は $D_6 = 0$ であれば、信号 D_5 が $0 \rightarrow 1$ と変化しても ORゲート 503 の出力信号は変化しないからである。よって、信号 D_5 が $0 \rightarrow 1$ と変化することにより I_4 の信号変化を引き起こす確率 $P(D_5 : 0 \rightarrow 1, I_4 : 1 \rightarrow 0)$ は：

$$P(D_5, 0 \rightarrow 1) \times P(D_4 = 0) \times P(D_6 = 1) \quad \dots \dots (9)$$

となる。更に、信号 D_3 が $1 \rightarrow 0$ と信号変化を起こせば、信号 I_3 が $0 \rightarrow 1$ と信号変化を起こし、ANDゲート 502 の出力信号 N でグリッチが発生する。よって、信号 D_3 と D_5 の信号変化により出力信号 N で $0 \rightarrow 1 \rightarrow 0$ のグリッチが発生する確率 $P(D_3, D_5, N : 0 \rightarrow 1 \rightarrow 0)$ は：

$$P(D_5 : 0 \rightarrow 1) \times P(D_4 = 0) \times P(D_6 = 1) \times P(D_3 : 1 \rightarrow 0) \quad \dots \dots (10)$$

となる。出力信号 N で $1 \rightarrow 0 \rightarrow 1$ のグリッチが発生する確率 $P(D_3, D_5, N : 1 \rightarrow 0 \rightarrow 1)$ も同様に求めることができる。この結果、信号 D_3 と D_5 の変化により出力信号 N でグリッチが発生する確率 $P(D_3, D_5, N : \text{glitch})$ は：

$$P(D_3, D_5, N : \text{glitch}) = P(D_3, D_5, N : 0 \rightarrow 1 \rightarrow 0) + P(D_3, D_5, N : 1 \rightarrow 0 \rightarrow 1) \quad \dots \dots (11)$$

となる。

【0034】

同様に、信号 D_3 と D_6 の信号変化により出力信号 N でグリッチが発生する確率 $P(D_3, D_6, N : \text{glitch})$ も求めることができる。以上の結果から、(条件1)において出力信号 N にグリッチが発生する確率 $P(I_3 : 0 \rightarrow 1, I_4 : 1 \rightarrow 0, T_3 < T_4, N : \text{glitch})$ は、 $P(D_3, D_5, N : \text{glitch}) + P(D_3, D_6, N : \text{glitch})$ となる。同様に、(条件2)

において出力信号Nにグリッチが発生する確率 $P(I_3: 1 \rightarrow 0, I_4: 0 \rightarrow 1, T_3 > T_4, N: glitch)$ も求めることができ、最終的に(条件1)と(条件2)における出力信号Nにグリッチが発生する確率を足せば、出力信号Nにグリッチが発生する確率 $P(N: glitch)$ を求めることができる。このように、確率ベースグリッチ解析部83でグリッチの発生頻度を確率として求めることができ、グリッチが発生する回路素子を決定することができる。

【0035】

ROM18は、システムを立ち上げる基本入出力システム(BIOS)を格納する。RAM19は、種々の情報、及び演算結果を記憶する。回路情報記憶部2は、入力装置1により入力された回路情報を記憶する。テストベクタ情報記憶部23は、テストベクタ情報入力装置7により入力されたテストベクタを記憶する。タイミング制約情報記憶部14は、タイミング制約入力装置6により入力されたタイミング制約情報を記憶する。グリッチ消費電力記憶部9は、グリッチ消費電力見積部8で算定されたグリッチ消費電力を記憶する。総消費電力記憶部12は、総消費電力見積部11で見積もられた論理回路の総消費電力を記憶する。目標スキュー情報記憶部24は、第1目標スキュー設定部32a又は第2目標スキュー設定部32bで設定された第1又は第2スキューを第1又は第2目標スキューとして記憶する。ラッチ情報記憶部25は、第1ラッチ挿入部33a又は第2ラッチ挿入部33bで挿入された第1又は第2ラッチの位置・数等を記憶する。出力装置17、ホストコンピュータ16は、回路情報記憶部2、テストベクタ情報記憶部23、タイミング制約情報記憶部14、グリッチ消費電力記憶部9、総消費電力記憶部12、目標スキュー情報記憶部24、ラッチ情報記憶部25に記憶されているデータを出力してもよい。

【0036】

次に、第1の実施の形態に係る自動設計方法を図2のフローチャートで説明する。

【0037】

(イ) 先ず、ステップS201において、入力装置1により、設計しようとする論理回路の回路情報が入力される。ステップS203において、総消費電力見

積部 11 は、入力装置 1 により入力された論理回路の総消費電力を算定する。

【0038】

(ロ) ステップ S204 において、テストベクタ入力判定部 81 は、テストベクタ情報入力装置 7 によりテストベクタ情報が入力されたか否かを判断する。テストベクタ情報が入力されている場合は、ステップ S205 において、シミュレーションベースグリッチ解析部 82 で、そのテストベクタ情報を基に、配置後の伝播遅延などの情報を取り入れて論理回路のシミュレーションを行い、論理回路中におけるグリッチの発生頻度とグリッチが発生する回路素子を決定する。テストベクタ情報が入力されていない場合は、ステップ S206 において、確率ベースグリッチ解析部 83 で確率計算を行い、論理回路中におけるグリッチの発生頻度とグリッチが発生する回路素子を決定する。

【0039】

(ハ) ステップ S207 において、グリッチ消費電力見積部 8 で、グリッチ検索部 21 により検索された論理回路中の回路素子で発生するグリッチの消費電力を算定する。ステップ S208 において、スキュー算定部 22 でグリッチが発生する回路素子の入力端にクロックを出力する F/F のクロックスキューを算定する。ここで算定されるクロックスキューは、グリッチを除去できる値である。

【0040】

(ニ) ステップ S209 において、ステップ S208 で算定されたスキューを目標スキューとして設定することでグリッチを削減できるか回路情報解析部 31 で解析する。ステップ S209 において目標スキューを設定することでグリッチを削減できると解析された場合は、ステップ S210a で、ステップ S208 で算定されたスキューを設定する。ステップ S209 において、目標スキューを設定することでグリッチを削減できないと解析された場合は、ステップ S210b において、組み合わせ回路部分に第 1 ラッチ若しくは第 1 ラッチ群を第 1 ラッチ挿入部 33a で挿入する。

【0041】

(ホ) ステップ S211 において、ステップ S210a で第 1 目標スキュー設定部 32a により第 1 目標スキューが設定された後の論理回路、又はステップ S

210bで第1ラッチ挿入部33aにより第1ラッチが挿入された論理回路に対してクロック配線処理部30によりクロック配線が行われる。ステップS212において、クロック配線された論理回路がタイミング制約入力装置6により入力されたタイミング制約を満たすか否かを検証する。タイミング制約を満たさないと検証された場合、ステップS217において、第2目標スキュー設定部32bでタイミング制約を満たすようにクロック配線上に第2スキューを設定し、又は第2ラッチ挿入部33bでタイミング制約を満たすように回路素子の出力端からの信号伝播経路に第2ラッチを挿入する。ステップS213において、ステップS210aで第1目標スキュー設定部32aにより第1目標スキューが設定された後の論理回路、又はステップS210bで第1ラッチ挿入部33aにより第1ラッチが挿入された論理回路で発生するグリッチの消費電力をグリッチ消費電力見積部8で算定する。タイミング制約を満たさないと検証された場合には、更にステップS217で第2目標スキュー設定部32bにより第2目標スキューが設定された後の論理回路、又は第2ラッチ挿入部33bにより第2ラッチが挿入された論理回路で発生するグリッチの消費電力をグリッチ消費電力見積部8で算定する。ステップS214において、第1又は第2目標スキューが設定された後の論理回路、第1又は第2ラッチが挿入された後の論理回路の総消費電力を、総消費電力見積部11で算定する。

【0042】

(へ) ステップS215において、回路消費電力比較部13は、グリッチ消費電力見積部8で算定されたグリッチ消費電力の増減と、総消費電力見積部11で算定された論理回路の総消費電力の増減を、第1又は第2目標スキューの設定及び第1又は第2ラッチの挿入の前後で比較する。その結果、論理回路全体の消費電力を低減できたと解析された場合は終了する。又はステップS215で論理回路全体の消費電力を低減できなかったと解析された場合は、ステップS216において第1又は第2目標スキューの設定及び第1又は第2ラッチの挿入は行わず終了する。

【0043】

第1の実施の形態によれば、回路情報解析部31で目標スキューを設定するこ

とによりグリッチを削減できると解析された場合は、目標スキューの設定によりスキューを調整することでグリッチを削減できるため、グリッチを削減しようとする部分の総てにラッチを挿入する必要はなくなり、ラッチ挿入によりLSI等の半導体チップの面積が拡大するという問題を解決しつつ消費電力の低減を実現することができる。

【0044】

(第2の実施の形態)

第2の実施の形態に係る自動設計システムを図6により説明する。自動設計システムは、入力装置71、タイミング制約入力装置74、CPU500、出力装置60、インターフェイス61、ホストコンピュータ62、共通バス200、読み出し専用メモリ(ROM)180、ランダムアクセスメモリ(RAM)190、データ記憶装置600を備える。データ記憶装置600は、回路情報記憶部65、タイミング制約情報記憶部66、目標スキュー情報記憶部67、スラック値情報記憶部68等のファイルを備える。

【0045】

入力装置71により、例えば、図9(a)に示すようなゲーテッドクロック設計された論理回路の回路情報が入力される。タイミング制約入力装置74により、ゲーテッドクロック設計された論理回路が期待通りの動作をするために満たすべきタイミング制約情報が、入力される。例えば、タイミング制約入力装置74により、クロック周期、クロック周波数、セットアップ・ホールド時間等が入力される。出力装置60は、CPU500で処理等されるデータを出力する。ホストコンピュータ62は、インターフェイス61を介して、出力装置60が出力するデータと同様のデータをハードディスク等に保存し、ホストコンピュータ62に接続されたモニター等に出力する。入力装置71、タイミング制約入力装置74、CPU500、出力装置60、インターフェイス61は、共通バス200を介してデータのやり取りを行う。

【0046】

CPU500は、第1タイミング検証部73、第1クロック配線処理部75、第2タイミング検証部79、スラック値算定部90、目標スキュー設定部76、

第2クロック配線処理部77を備える。第1タイミング検証部73は、入力装置71により入力されたゲーテッドクロック設計におけるイネーブル回路が、タイミング制約入力装置74に入力されたタイミング制約を満たすか否かを検証する。例えば、図9(a)に示すように、F/F105~107からANDゲート101を通してレジスタ群104に至る回路が、タイミング制約入力装置74に入力されたタイミング制約を満たすか否かを検証する。第1クロック配線処理部75は、入力装置71により入力されたゲーテッドクロック設計された論理回路に対して、クロック配線を行う。例えば、図9(b)に示すゲーテッドクロック設計された論理回路のようにクロックCLKからF/F105~107及びレジスタ群104a、104bへCTS処理を行い、ANDゲート101を中間クロックバッファとしてクロック配線を行う。第2タイミング検証部79は、第1クロック配線処理部75により配線された後に、タイミング制約入力装置74に入力されたタイミング制約を満たすか否かを検証される。例えば、図9(b)に示すゲーテッドクロック設計された論理回路のように、配線150が配線160、170に比し極端に長い場合は、F/F105の出力信号がイネーブル回路103へ遅れて入力され、タイミング制約入力装置74に入力されたタイミング制約を満たさなくなる。第2タイミング検証部79でタイミング制約を満たさないと検証された場合に、スラック値算定部90は、第2タイミング検証部79におけるタイミングを満たさないクリティカルパスのうち最大のスラック値を算定する。例えば、図9(b)に示すゲーテッドクロック設計された論理回路では、F/F105→イネーブル回路103→配線102→ANDゲート101→バッファ112a→レジスタ群104aの経路、又はF/F105→イネーブル回路103→配線102→ANDゲート101→バッファ112b→レジスタ群104bの経路がクリティカルパスとなる。「スラック値」とは、タイミング制約値と実際の回路遅延時間値の差をいう。正のスラック値は、タイミング制約を満たしていることを意味し、負のスラック値は、タイミング制約を満たしていないことを意味する。目標スキュー設定部76は、スラック値算定部90により算定されたスラック値が正となるように目標スキューを設定する。例えば、図9(b)に示すゲーテッドクロック設計された論理回路で、上述のクリティカルパスのスラック値

が $-\delta$ (< 0) であったとする。目標スキュー設定部 7 6 は、 δ に相当する目標スキューを $F/F105$ に設定する。第 2 クロック配線処理部 7 7 は、目標スキューを満たすようにクロック配線処理を行う。この際、バッファの挿入や削除、配線の延長や短絡等によりクロックスキューを調整する。例えば、図 9 (b) に示すゲーテッドクロック設計された論理回路のように、クリティカルパスのスラック値は $-\delta$ であり、目標スキュー設定部 7 6 により δ に相当する目標スキューを満たすために、 δ に相当する遅延時間を生じるバッファ 1 1 1 を削除すれば、タイミング制約を満たすことができる。

【 0 0 4 7 】

ROM 1 8 0 は、システムを立ち上げる基本入出力システム (BIOS) を格納する。RAM 1 9 0 は、種々の情報、及び演算結果を記憶する。回路情報記憶部 6 5 は、入力装置 7 1 により入力された回路情報を記憶する。タイミング制約情報記憶部 6 6 は、タイミング制約入力装置 7 4 により入力されたタイミング制約情報を記憶する。目標スキュー情報記憶部 6 7 は、目標スキュー設定部 7 6 で設定された F/F に対する目標スキューを記憶する。スラック値情報記憶部 6 8 は、スラック値算定部 9 0 で算定されたクリティカルパスの最大スラック値を記憶する。出力装置 6 0、ホストコンピュータ 6 2 は、回路情報記憶部 6 5、タイミング制約情報記憶部 6 6、目標スキュー情報記憶部 6 7、スラック値情報記憶部 6 8 に記憶されているデータを出力してもよい。

【 0 0 4 8 】

次に、第 2 の実施の形態に係る自動設計方法を図 7 のフローチャートで説明する。

【 0 0 4 9 】

(イ) 先ず、ステップ S 8 0 2 において、図 9 (a) に示すような、論理回路 1 0 9 及びイネーブル回路 1 0 3 を含むゲーテッドクロック設計された論理回路の回路情報を入力装置 7 1 により入力する。ステップ S 8 0 4 において、入力装置 7 1 により入力された論理回路が、タイミング制約入力装置 7 4 に入力されたタイミング制約を満たすか否かの検証を第 1 タイミング検証部 7 3 が行う。ステップ S 8 0 4 においてタイミング制約の検証を行った結果、タイミング制約を満

たすと検証された場合は、ステップ S 8 0 5 において、第 1 クロック配線処理部 7 5 は、ゲートドクロック設計された論理回路に対し、クロック配線を行う。

【 0 0 5 0 】

(ロ) ステップ S 8 0 7 において、クロック配線処理された後の論理回路がタイミング制約入力装置 7 4 により入力されたタイミング制約を満たすか否かの検証を、第 2 タイミング検証部 7 9 が行う。ステップ S 8 0 7 においてタイミングの検証を行った結果、タイミング制約を満たさないと検証された場合は、ステップ S 8 0 8 において、タイミングを満たさないクリティカルパスのうち最大のスラック値を、スラック値算定部 9 0 が算定する。タイミング制約を満たすか否かの検証を、第 2 タイミング検証部 7 9 が行った結果、タイミングを満たすと検証された場合は終了する。

【 0 0 5 1 】

(ハ) ステップ S 8 0 9 において、目標スキュー設定部 7 6 は、スラック値算定部 9 0 で算定したスラック値を目標スキューとして設定する。ステップ S 8 1 0 において、第 2 クロック配線処理部 7 7 は、目標スキューを満たすようにクロック配線処理を行う。そして、再びステップ S 8 0 7 に戻り、タイミング制約を満たすか否かの検証を、第 2 タイミング検証部 7 9 が行う。

【 0 0 5 2 】

(ニ) ステップ S 8 0 4 において、タイミング制約を満たすか否かの検証を第 1 タイミング検証部 7 3 が行った結果、タイミング制約を満たさないと検証された場合は、ステップ 8 0 3 においてタイミング制約を満たすようにゲートドクロック設計された論理回路の設計変更をする。タイミング制約を満たすようにするためには、論理回路構造を変更したり、回路素子の配置を換えたりしてもよい。

【 0 0 5 3 】

第 2 の実施の形態によれば、クロック配線処理の段階でゲートドクロック設計により供給されるクロックを目標スキューに従って調整して、タイミング制約を満たすことができるため、論理設計段階にまで戻ってレジスタにゲートドクロック設計を用いないよう論理設計の変更を行い、再度レイアウト処理を実行す

る必要がなくなり、設計期間を短縮して消費電力の低減を実現することができる。

【 0 0 5 4 】

【発明の効果】

本発明によれば、L S I 等の半導体チップの面積の拡大を防ぎ、又設計期間を短縮しつつ、効率よく消費電力を低減できる自動設計システム、及び自動設計方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る自動設計システムの概略を示す図である。

【図 2】

本発明の第 1 の実施の形態に係る自動設計方法を説明するためのフローチャートである。

【図 3】

(a) は、論理回路でグリッチが発生することを示す回路図である。(b) は、論理回路でグリッチが発生することを示すタイムチャートである。

【図 4】

(a) は、グリッチの発生頻度を確率として求める手法を説明するための回路図である。(b) は、論理回路でグリッチが発生することを示すタイムチャートである。

【図 5】

(a) は、目標スキューを設定することによりグリッチを削減できない論理回路を示す回路図である。(b) は、目標スキューを設定することによりグリッチを削減できないことを示すタイムチャートである。

【図 6】

本発明の第 2 の実施の形態に係る自動設計システムの概略を示す図である。

【図 7】

本発明の第 2 の実施の形態に係る自動設計方法を説明するためのフローチャートである。

【図 8】

従来の自動設計方法を説明するためのフローチャートである。

【図 9】

(a) は、ゲーテッドクロック設計の概略を示す図である。(b) は、目標スキューを設定したゲーテッドクロック設計の概略を示す図である。

【図 10】

C T S 処理を示す図である。

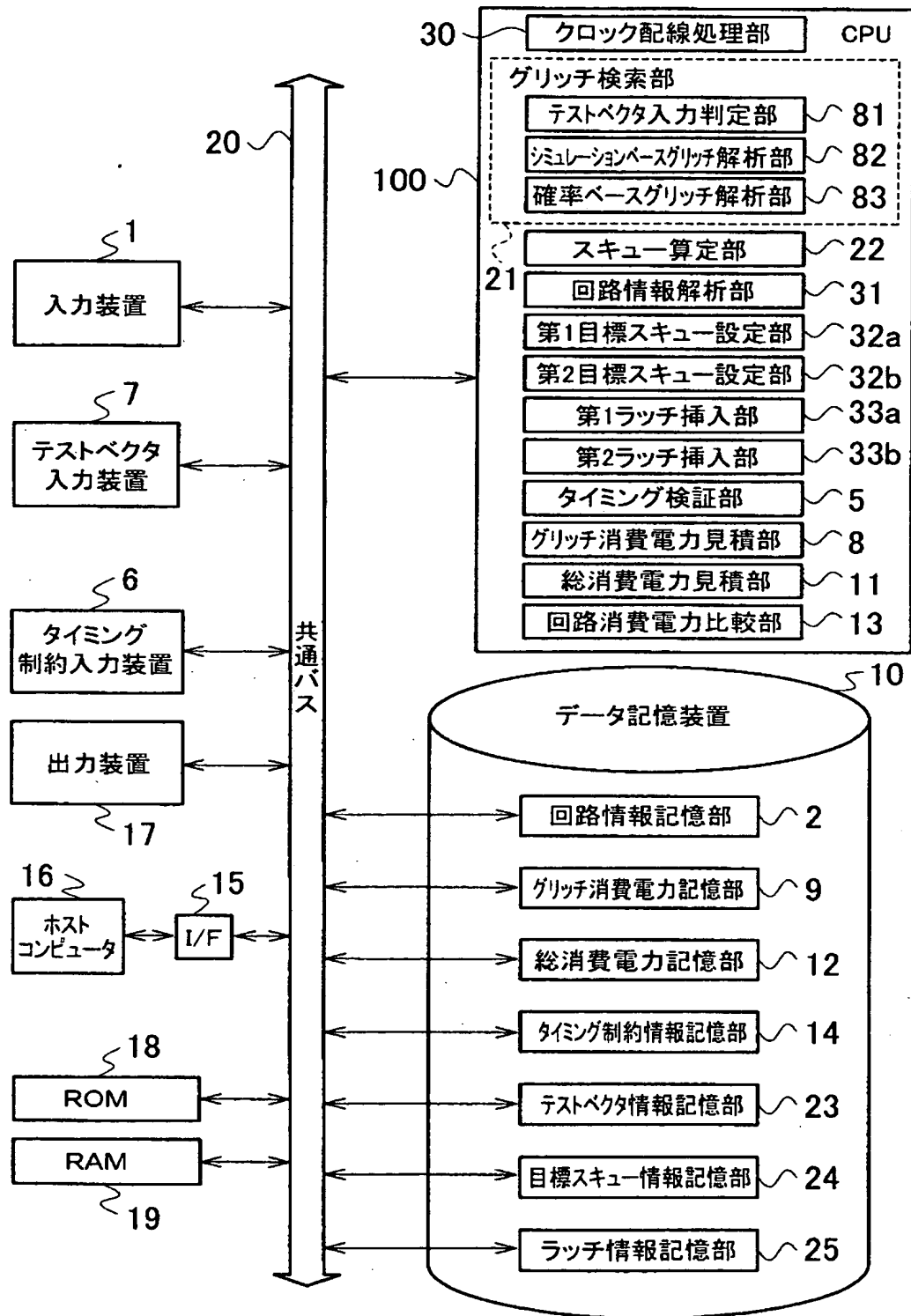
【符号の説明】

- 1, 71 入力装置
- 2, 65 回路情報記憶部
- 5 タイミング検証部
- 6 タイミング制約入力装置
- 7 テストベクタ情報入力装置
- 8 グリッチ消費電力見積部
- 9 グリッチ消費電力記憶部
- 10, 600 データ記憶装置
- 11 総消費電力見積部
- 12 総消費電力記憶部
- 13 回路消費電力比較部
- 14, 66 タイミング制約情報記憶部
- 15, 61 インターフェイス
- 16, 62 ホストコンピュータ
- 17, 60 出力装置
- 18, 180 ROM
- 19, 190 RAM
- 20, 200 共通バス
- 100, 500 CPU
- 21 グリッチ検索部
- 22 スキュー算定部

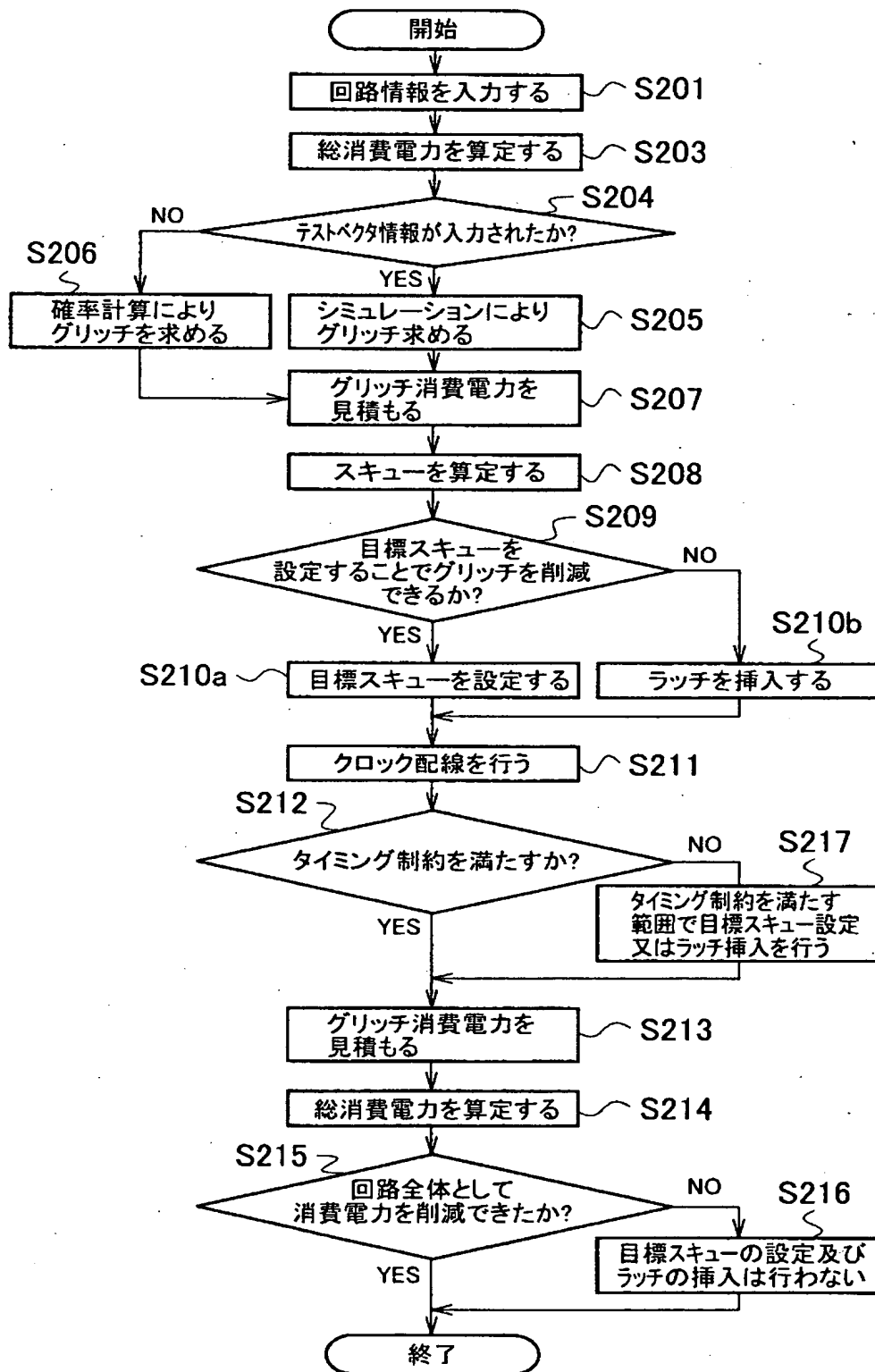
- 2 3 テストベクタ情報記憶部
- 2 4, 6 7 目標スキュー情報記憶部
- 2 5 ラッチ情報記憶部
- 3 0 クロック配線処理部
- 3 1 回路情報解析部
- 3 2 a 第 1 目標スキュー設定部
- 3 2 b 第 2 目標スキュー設定部
- 3 3 a 第 1 ラッチ挿入部
- 3 3 b 第 2 ラッチ挿入部
- 6 8 スラック値情報記憶部
- 7 3 第 1 タイミング検証部
- 7 4 タイミング制約入力装置
- 7 5 第 1 クロック配線処理部
- 7 6 目標スキュー設定部
- 7 7 第 2 クロック配線処理部
- 7 9 第 2 タイミング検証部
- 8 1 テストベクタ入力判定部
- 8 2 シミュレーションベースグリッチ解析部
- 8 3 確率ベースグリッチ解析部
- 9 0 スラック値算定部

【書類名】 図面

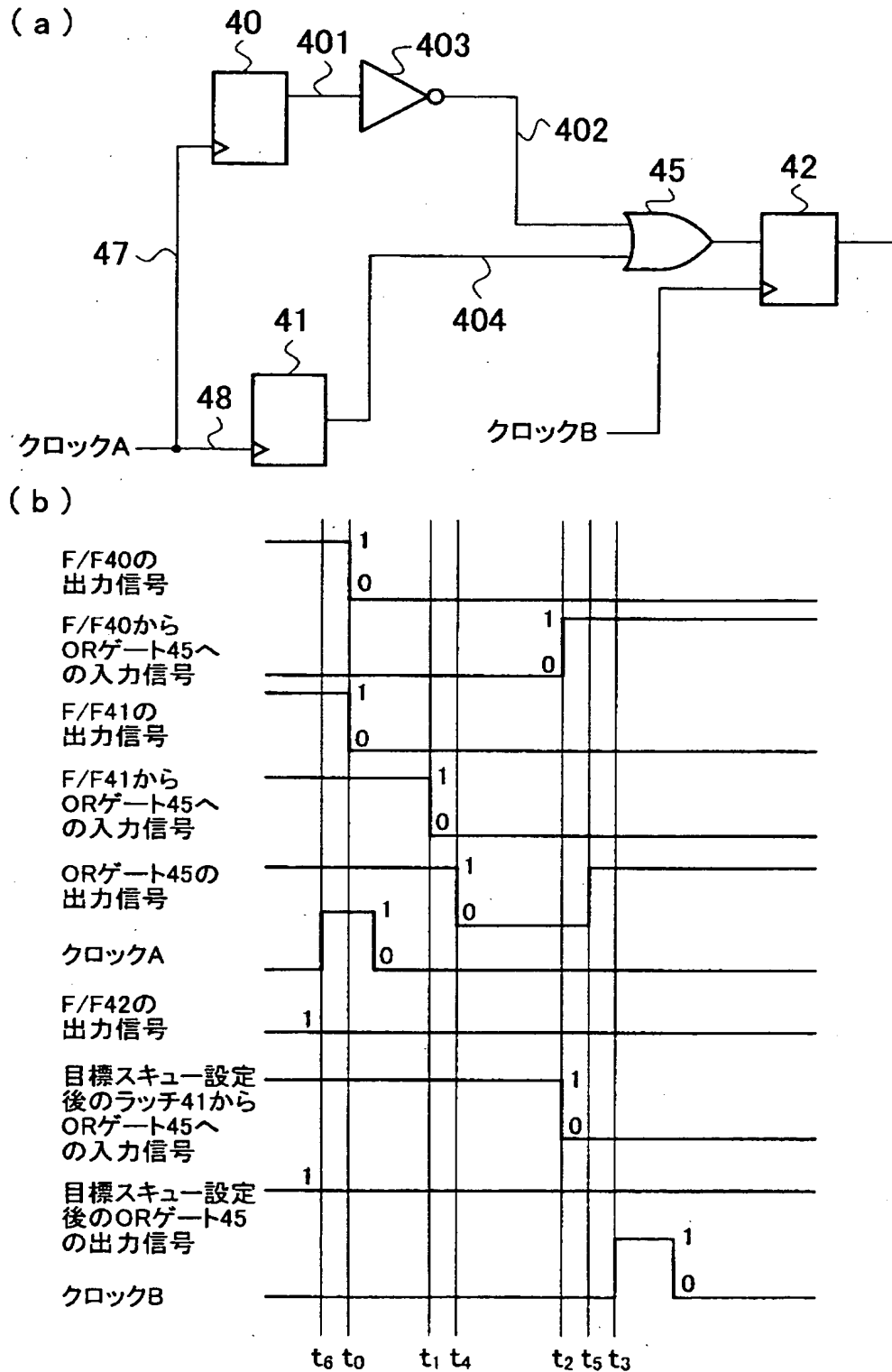
【図 1】



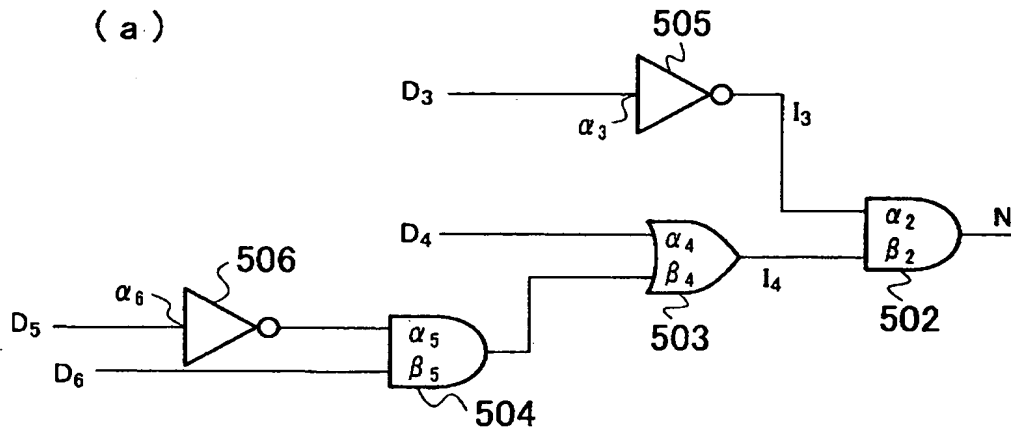
【図 2】



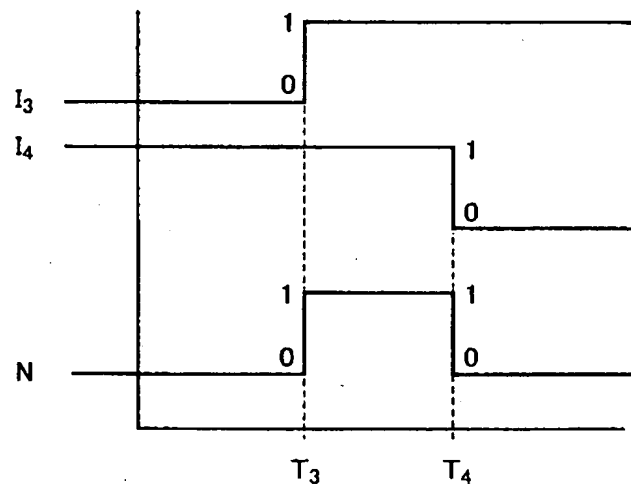
【図 3】



【図 4】

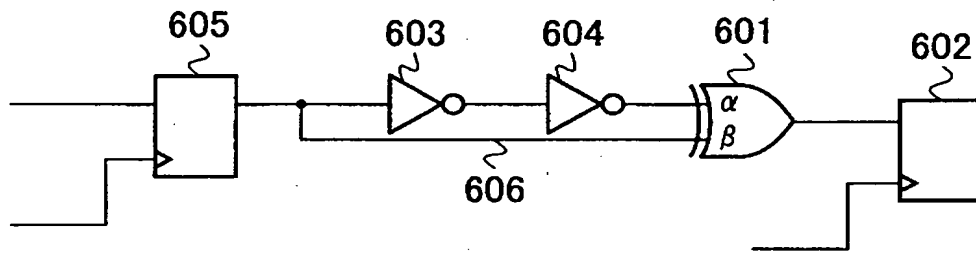


(b)

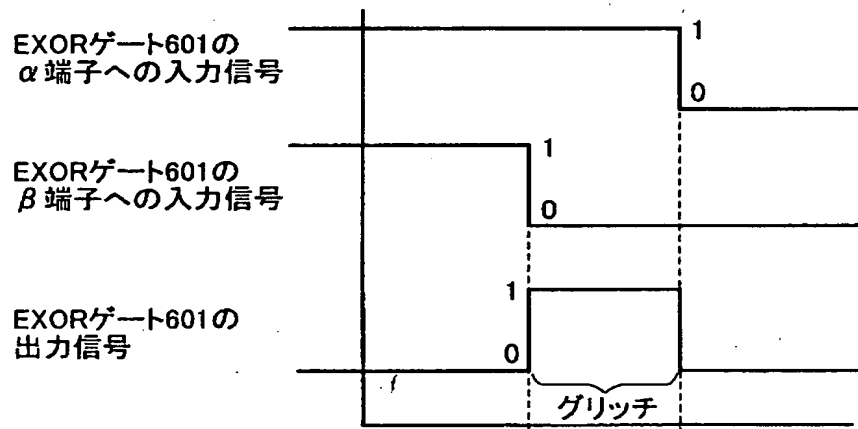


【図 5】

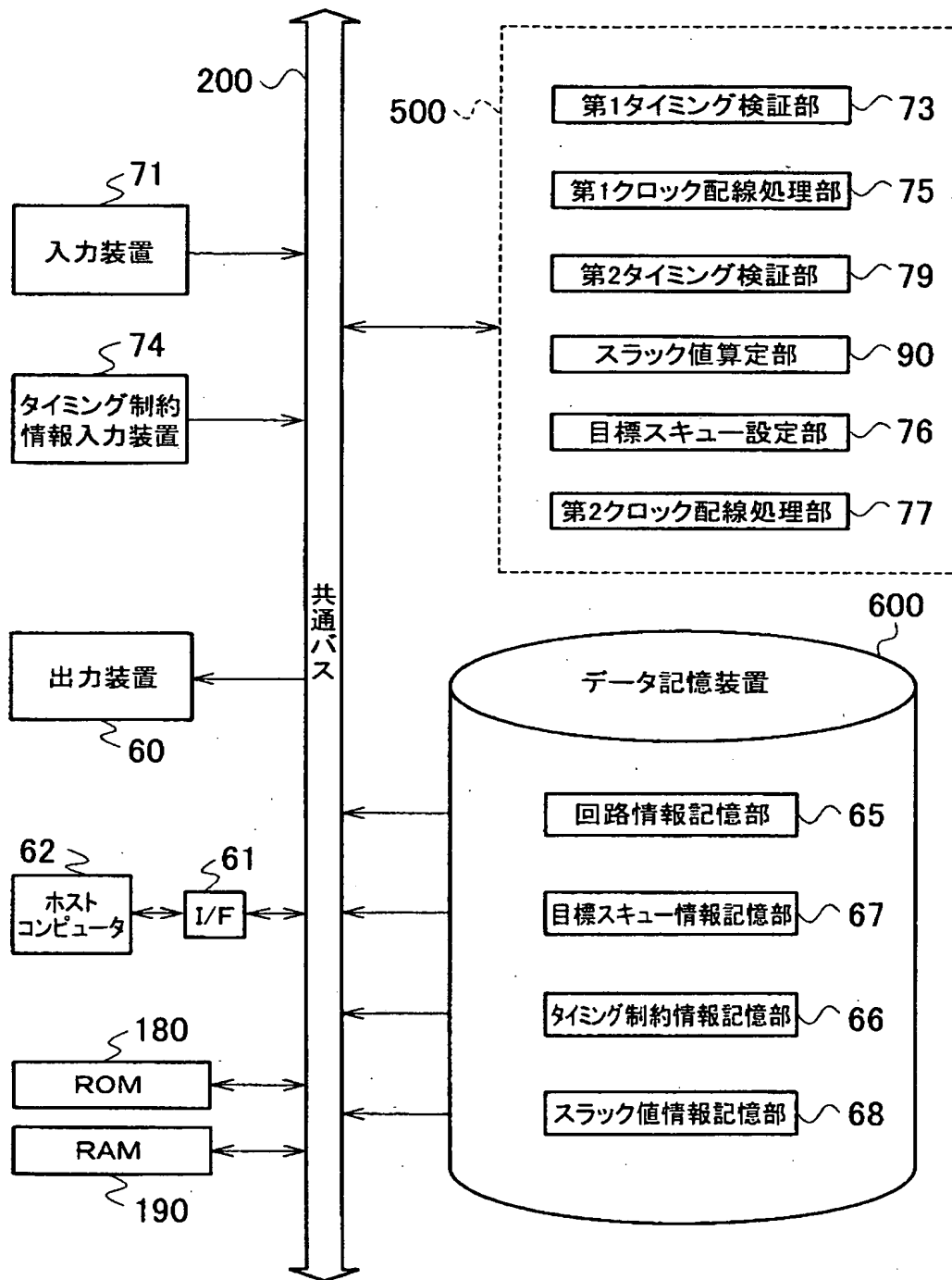
(a)



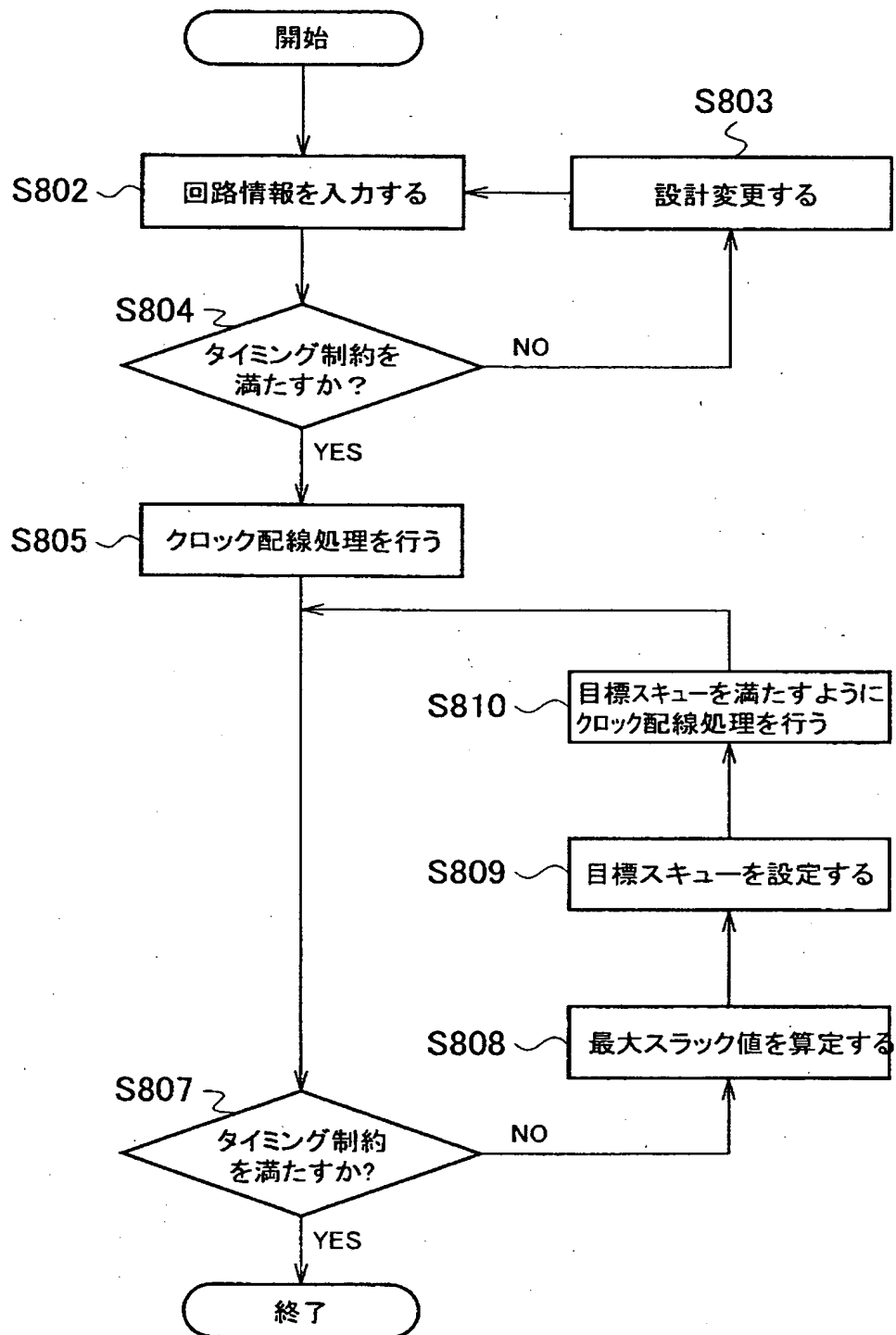
(b)



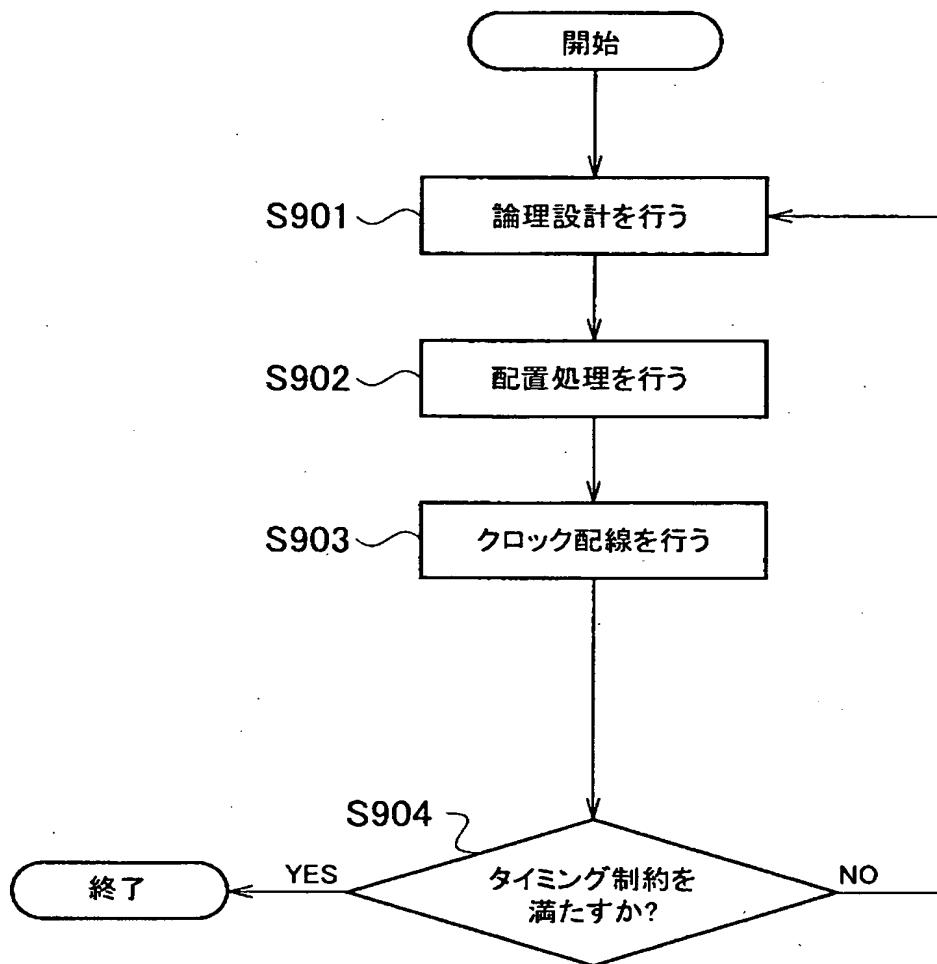
【図 6】



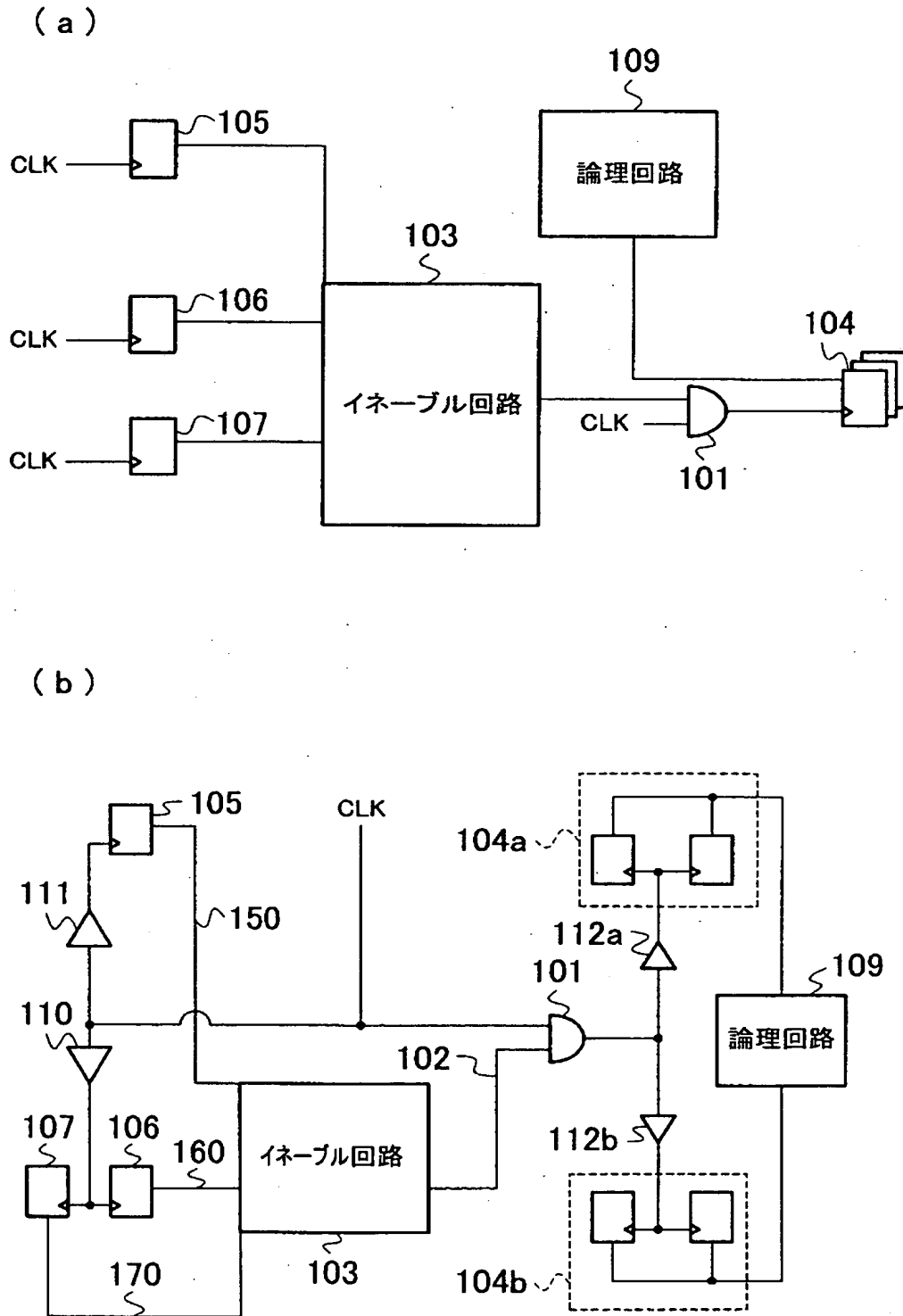
【図 7】



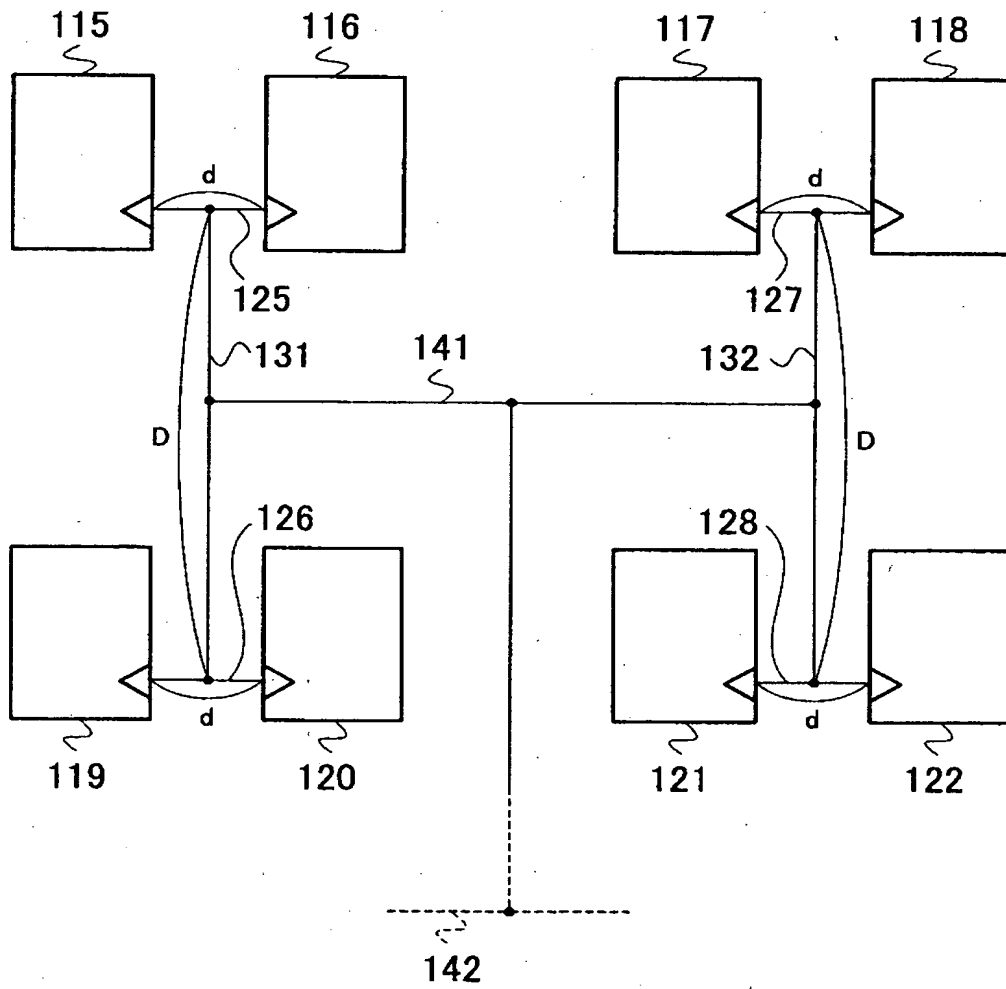
【図 8】



【図9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 L S I 等の半導体チップの面積の拡大を防ぎ、又設計期間を短縮しつつ、効率よく消費電力を低減できる自動設計システム、及び自動設計方法を提供することである。

【解決手段】 L S I のパターンレイアウトに用いる論理回路の回路情報を入力する入力装置 1 と、グリッチが発生する回路素子を検索するグリッチ検索部 2 1 と、回路素子の入力端へ信号を出力するフリップフロップ (F/F) のクロック入力端に入力されるクロック信号のスキューを算定するスキュー算定部 2 2 と、スキューを第 1 目標スキューとして設定することにより、グリッチを削減できるか否かを解析する回路情報解析部 3 1 と、グリッチを削減できると解析された場合に、第 1 目標スキューを設定する第 1 目標スキュー設定部 3 2 a と、グリッチを削減できないと解析された場合に、第 1 ラッチを挿入する第 1 ラッチ挿入部 3 3 a とを備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝